

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

7-14-01
JC841 U.S. PTO
09/760115
01/12/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 1月17日

出願番号

Application Number:

特願2000-007825

出願人

Applicant (s):

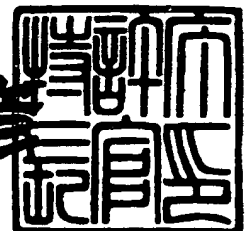
インターナショナル・ビジネス・マシーンズ・コーポレイション

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3034160



【書類名】 特許願

【整理番号】 JA999217

【提出日】 平成12年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/00

【発明者】

 【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内

 【氏名】 織田大原 重文

【発明者】

 【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内

 【氏名】 内藤 在正

【発明者】

 【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内

 【氏名】 井上 健

【特許出願人】

 【識別番号】 390009531

 【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

 【識別番号】 100086243

 【弁理士】

 【氏名又は名称】 坂口 博

【代理人】

 【識別番号】 100091568

 【弁理士】

 【氏名又は名称】 市位 嘉宏

【復代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した復代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した復代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した復代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304391

【包括委任状番号】 9304392

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 コンピュータの電源制御方法、電源制御装置及びコンピュータ

【特許請求の範囲】

【請求項 1】 電源投入時に少なくともハードウェアの自己診断テストを行ってオペレーティング・システム処理へ移行するコンピュータの電源を制御する電源制御方法であって、

前記自己診断テストの結果を読み取り、

予め定められたテスト結果を読み取った場合に、前記コンピュータへの電源供給を停止した後に再度電源投入する

コンピュータの電源制御方法。

【請求項 2】 前記予め定められたテスト結果は、前記コンピュータに含まれるコンポーネントが正しく初期化されていないことを示すテスト結果を含むことを特徴とする請求項 1 記載のコンピュータの電源制御方法。

【請求項 3】 前記予め定められたテスト結果を読み取った場合に、前記コンピュータに含まれるハードウェアの動作を安定させることを特徴とする請求項 1 又は請求項 2 記載のコンピュータの電源制御方法。

【請求項 4】 前記ハードウェアの動作を安定させるために、前記コンピュータの電源回路の動作を安定させる設定、前記コンピュータの内部を冷却させる設定、及び消費電力を抑制するための機能を非実行とする設定の少なくとも 1 つを行うことを特徴とする請求項 3 記載のコンピュータの電源制御方法。

【請求項 5】 前記予め定められたテスト結果を予め定めた所定回数読み取った場合に、前記コンピュータへの電源供給を停止した後に再度電源投入することを禁止することを特徴とする請求項 1 乃至請求項 4 の何れか 1 項記載のコンピュータの電源制御方法。

【請求項 6】 電源投入時に少なくともハードウェアの自己診断テストを行ってオペレーティング・システム処理へ移行するコンピュータの電源を制御する電源制御装置であって、

前記自己診断テストの結果を読み取る読取手段と、

前記読取手段によって予め定められたテスト結果を読み取った場合に、前記コンピュータへの電源供給を停止した後に再度電源投入するように制御する制御手段と、

を有するコンピュータの電源制御装置。

【請求項 7】 前記予め定められたテスト結果は、前記コンピュータに含まれるコンポーネントが正しく初期化されていないことを示すテスト結果を含むことを特徴とする請求項 6 記載のコンピュータの電源制御装置。

【請求項 8】 前記制御手段は、前記予め定められたテスト結果を読み取った場合に、前記コンピュータに含まれるハードウェアの動作を安定させるための設定を行うように制御することを特徴とする請求項 6 又は請求項 7 記載のコンピュータの電源制御装置。

【請求項 9】 前記ハードウェアの動作を安定させるための設定は、前記コンピュータの電源回路の動作を安定させるための設定、前記コンピュータの内部を冷却させるための設定、及び消費電力を抑制するための機能を非実行とするための設定の少なくとも 1 つであることを特徴とする請求項 8 記載のコンピュータの電源制御装置。

【請求項 10】 前記制御手段は、前記予め定められたテスト結果を予め定めた所定回数読み取った場合に、前記コンピュータへの電源供給を停止した後に再度電源投入することを禁止することを特徴とする請求項 6 乃至請求項 9 の何れか 1 項記載のコンピュータの電源制御装置。

【請求項 11】 請求項 6 乃至請求項 10 の何れか 1 項記載のコンピュータの電源制御装置と、

前記電源制御装置によって制御される電源装置と、

前記電源装置による電力によって動作するコンピュータ負荷と、

を有するコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はコンピュータの電源制御方法、電源制御装置及びコンピュータに係り

、特に、電源投入時に少なくともハードウェアの自己診断テストを行ってオペレーティング・システム処理へ移行するコンピュータの電源を制御する電源制御方法、電源制御装置及び該電源制御装置を有するコンピュータに関する。

【0002】

【従来の技術】

パーソナル・コンピュータ（PC）では一般に、PC内に設けられているメモリの動作テスト（書き込み／読み出しテスト）や、現在のシステム構成と装置構成ユーティリティによって設定された構成とが一致しているか否かのチェック等の、基本操作を検査するための一連の自己診断テストを当該PCの起動時に行っている。なお、以下では上記自己診断テストをPOST（Power On Self Test）と称する。

【0003】

一方、PC等のハードウェアは、万全を期して設計しても、構成部品の不良率が0（零）ではないので、電源投入時に何らかの問題が発生することがある。この問題の一例として散見されるのは、電源投入時にLSI（Large Scale Integration）やASIC（Application Specific Integrated Circuit）等のIC（集積回路）が正しく初期化されないというものである。このような問題は上述したような構成部品の不良率のみに起因するものではなく、気温、湿度等の使用環境条件等に起因する場合もある。

【0004】

このような電源投入時の問題は、上述したPOSTによって検知される場合が多いが、POSTによって問題が検知された場合、システムは検知された問題に対応するエラー・コード、問題の状況等をディスプレイに表示した後、起動動作を停止していた。この場合、ユーザは不安に思いつつも電源を一旦切断し、再度投入することにより、装置の再起動を行っていた。

【0005】

【発明が解決しようとする課題】

しかしながら、ユーザにより装置の再起動を行う方法では、該再起動によって問題が再度発生しなかった場合でも、ユーザは不安を抱きながらPCを使用し続

けなければならない、という問題点があった。

【 0 0 0 6 】

すなわち、上述したような電源投入時の問題では、再起動によって当該問題が再度発生しなくなる場合もあり、この場合は P C は問題なく使用することができるにもかかわらず、ユーザは当初の電源投入時に発生した問題が再発しなかった理由が分からず、不安を抱き続けることになる。

【 0 0 0 7 】

一方、ユーザにより装置の再起動を行う方法では、当初の電源投入時における使用環境条件等の条件とほぼ同様の条件下で再起動するので、再度同一の問題が発生するケースが多い、という問題点もあった。

【 0 0 0 8 】

本発明は上記問題点を解消するために成されたものであり、ユーザに不必要な不安を与えることを防止すると共に、電源投入時の問題の再発を抑制することができるコンピュータの電源制御方法、電源制御装置及びコンピュータを得ることが目的である。

【 0 0 0 9 】

【課題を解決するための手段】

本発明に係るコンピュータの電源制御方法及び電源制御装置では、コンピュータにおいてオペレーティング・システム処理に先立って行われる自己診断テストの結果が予め定められたテスト結果であった場合に、コンピュータへの電源供給が停止された後に再度電源投入される。これによって、コンピュータは再起動され、該再起動によって予め定められたテスト結果が再び発生しなかった場合には、コンピュータは通常通りに起動されることになる。これによって、ユーザは自己診断テストによって検出された問題の発生に気づくことがなくなり、ユーザに対して不必要な不安を与えることを防止することができる。

【 0 0 1 0 】

ところで、コンピュータの内部には各種機能を有する多数の集積回路等のコンポーネントが含まれており、これらのコンポーネントには、電源投入時にリセット信号によって正常にリセット（初期化）された場合にのみ、正常に動作するよ

うに構成されているものがある。ところが、外部からのノイズやコンポーネント周辺の温度の過上昇等に起因して、コンポーネントが正常にリセットされない場合があり、この場合には当該コンポーネントにリセット信号を再度入力することによって、正常にリセットされる場合がある。

【0011】

この場合等に対応するために、上記の予め定められたテスト結果には、コンピュータに含まれるコンポーネントが正しく初期化されていないことを示すテスト結果が含まれることが好ましい。これによって、上記のようなコンポーネントの初期化に関する問題が発生した場合のコンピュータの再起動を、ユーザに知られることなく行うことができる。

【0012】

ところで、本発明に係る電源制御方法及び電源制御装置において、単純にコンピュータを再起動したのでは、当初の電源投入時における使用環境条件等の条件とほぼ同様の条件下で再起動することになるので、再度同一の問題が発生する可能性が高い。一方、電源投入時に発生する問題は、ハードウェアの動作が不安定であることに起因するものが多い。そこで、本発明に係るコンピュータの電源制御方法及び電源制御装置において、上記予め定められたテスト結果を読み取った場合に、コンピュータに含まれるハードウェアの動作を安定させることが好ましい。これによって、再度電源投入された際のハードウェアの動作を当初の電源投入時に比較して安定なものとすることができ、電源投入時の問題の再発を抑制することができる。

【0013】

なお、上記のようにハードウェアの動作を安定させるためには、上記コンピュータの電源回路の動作を安定させる設定、上記コンピュータの内部を冷却させる設定、及び消費電力を抑制するための機能を非実行とする設定の少なくとも1つを行うことが好ましい。

【0014】

例えば、コンピュータの電源回路として、スイッチング型電源回路を適用している場合は、電源回路に含まれるスイッチング素子のオン／オフを制御するため

に、負荷電流の大きさに応じて周波数を変化させるスイッチング信号（パルス信号）を用いるPWM（Pulse Width Modulation；パルス幅変調）方式と、負荷電流の大きさとは無関係に固定周波数のもとでパルス幅（デューティ）を変化させるスイッチング信号を用いるPWM方式と、の2つの方式の一方を選択的に適用することができるように構成されているものがある。

【0015】

この場合、上記周波数を変化させるスイッチング信号を用いる方式は、固定周波数のスイッチング信号を用いる方式に比較して変換効率は高いものの、ノイズのレベルが高くなるため、動作の安定性の面では劣るという特性を有している。従って、この場合は、電源回路に対して固定周波数のスイッチング信号を用いる方式を適用するように設定することによって、コンピュータの電源回路の動作を安定させることができる。

【0016】

また、通常、PCには内部温度の過上昇やCPUの温度の過上昇を防止するためのファンが設けられているが、このファンを強制的に回転駆動させる設定が、上記コンピュータの内部を冷却させる設定の一例として挙げられる。

【0017】

更に、PC、特にノートブック型PC、サブノートブック型PC、パームトップ型PC、PDA（personal data assistants；個人向け携帯型情報通信機器）等の携帯型PCには、消費電力を極力抑えるように電源使用状態を管理する等の電源管理機能が一般に備えられている。この電源管理機能では、CPUの駆動状態を50%程度としたり、周辺装置の電源をオフにしたりしているが、このような状態下ではハードウェアは動作が不安定となる。すなわち、例えば、CPUが他のデバイスとデータの送受信を行っている際にCPUの駆動状態を50%程度に低下させた場合には、一部のデータが欠落する恐れがある。従って、このような電源管理機能を非実行とすることによってハードウェアの動作を安定化させることができる。

【0018】

ところで、本発明に係るコンピュータの電源制御方法及び電源制御装置では、

コンピュータへの電源供給を停止した後に再度電源投入しても、問題が解消されない場合がある。この場合、コンピュータの再起動が連続して行われて、コンピュータを立ち上げることができなくなる、という新たな問題が発生する。

【0019】

そこで、本発明に係るコンピュータの電源制御方法及び電源制御装置では、上記予め定められたテスト結果を予め定めた所定回数読み取った場合に、上記コンピュータへの電源供給を停止した後に再度電源投入することを禁止することが好ましい。これによって、上述したようなコンピュータの再起動が連続して行われて、コンピュータを立ち上げることができなくなる、という問題を回避することができる。

【0020】

この場合、コンピュータに設けられているディスプレイに同一問題が所定回数発生している旨の表示を行うことや、コンピュータに設けられているブザーを鳴動することが好ましい。これによって、ユーザは再起動では回避できない問題が発生していることを知ることができる。

【0021】

更に、本発明に係るコンピュータは、本発明に係る電源制御装置によって電源装置が制御され、該電源装置による電力によってコンピュータ負荷が動作される。

【0022】

従って、本発明に係るコンピュータによれば、自己診断テストの結果が予め定められたテスト結果であった場合に、コンピュータへの電源供給が停止された後に再度電源投入されてコンピュータが再起動されるので、該再起動によって予め定められたテスト結果が再び発生しなかった場合には、コンピュータは通常通りに起動されるため、ユーザは自己診断テストによって検出された問題の発生に気づくことがなく、ユーザに対して不必要な不安を与えることを防止することができる。

【0023】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態の一例を詳細に説明する。図1には、本発明を実現するのに適した典型的なパーソナル・コンピュータ（PC）から成るコンピュータ・システム10のハードウェア構成がサブシステム毎に模式的に示されている。本発明を実現するPCの一例は、O A D G（PC Open Architecture Developer's Group）仕様に準拠し、オペレーティング・システム（OS）として米マイクロソフト社の“Windows 98又はNT”又は米IBM社の“OS/2”を搭載したノートブック型のPC12（図2参照）である。以下、コンピュータ・システム10の各部について説明する。

【0024】

コンピュータ・システム10全体の頭脳であるCPU14は、OSの制御下で、各種プログラムを実行する。CPU14は、例えば米インテル社製のCPUチップ“Pentium”、“MMXテクノロジーPentium”、“Pentium Pro”や、AMD社等の他社製のCPUでも良いし、IBM社製の“PowerPC”でも良い。CPU14は、頻繁にアクセスするごく限られたコードやデータを一時格納することで、メイン・メモリ16への総アクセス時間を短縮するための高速動作メモリであるL2（レベル2）—キャッシュを含んで構成されている。L2—キャッシュは、一般にSRAM（スタティックRAM）チップで構成され、その記憶容量は例えば512kB又はそれ以上である。

【0025】

CPU14は、自身の外部ピンに直結されたプロセッサ直結バスとしてのFSB（FrontSide）バス18、高速のI/O装置用バスとしてのPCI（Peripheral Component Interconnect）バス20、及び低速のI/O装置用バスとしてのISA（Industry Standard Architecture）バス22という3階層のバスを介して、後述の各ハードウェア構成要素と相互接続されている。

【0026】

FSB18とPCIバス20は、一般にメモリ／PCI制御チップと呼ばれるCPUブリッジ（ホスト—PCIブリッジ）24によって連絡されている。本実施形態のCPUブリッジ24は、メイン・メモリ16へのアクセス動作を制御するためのメモリ・コントローラ機能や、FSB18とPCIバス20の間のデー

タ転送速度の差を吸収するためのデータ・バッファ等を含んだ構成となっており、例えばインテル社製の440BX等を用いることができる。

【0027】

メイン・メモリ16は、CPU14の実行プログラムの読み込み領域として、或いは実行プログラムの処理データを書き込む作業領域として利用される書き込み可能メモリである。メイン・メモリ16は、一般には複数個のDRAM（ダイナミックRAM）チップで構成され、例えば32MBを標準装備し256MBまで増設可能である。近年では、更に高速化の要求に応えるべく、DRAMは高速ページDRAM、EDO DRAM、シンクロナスDRAM（SDRAM）、バーストEDO DRAM、RDRAM等へと変遷している。

【0028】

なお、ここでいう実行プログラムには、Windows 98等のOS、周辺機器類をハードウェア操作するための各種デバイス・ドライバ、特定業務に向けられたアプリケーション・プログラムや、フラッシュROM72に格納されたBIOS（Basic Input/Output System：キーボードやフロッピーディスク・ドライブ等の各ハードウェアの入出力操作を制御するためのプログラム）等のファームウェアが含まれる。

【0029】

PCIバス20は、比較的高速なデータ伝送が可能なタイプのバス（例えばバス幅32／64ビット、最大動作周波数33／66／100MHz、最大データ転送速度132／264Mbps）であり、カードバス・コントローラ30のような比較的高速で駆動するPCIデバイス類がこれに接続される。なお、PCIアーキテクチャは、米インテル社の提唱に端を発したものであり、いわゆるPnP（プラグ・アンド・プレイ）機能を実現している。

【0030】

ビデオ・サブ・システム26は、ビデオに関連する機能を実現するためのサブシステムであり、CPU14からの描画命令を実際に処理し、処理した描画情報をビデオ・メモリ（VRAM）に一旦書き込むと共に、VRAMから描画情報を読み出して液晶ディスプレイ（LCD）28（図2参照）に描画データとして出

力するICとして構成されたビデオ・コントローラを含む。また、ビデオ・コントローラは、付設されたデジタル・アナログ変換器(DAC)によってデジタルのビデオ信号をアナログのビデオ信号へ変換することができる。アナログのビデオ信号は、信号線を介してCRTポート(図示省略)へ出力される。

【0031】

また、PCIバス20にはカードバス・コントローラ30、オーディオ・サブ・システム32、ドッキング・ステーション・インタフェース(Dock I/F)34及びミニPCIスロット36が各々接続されている。カードバス・コントローラ30は、PCIバス20のバスシグナルをPCIカードバス・スロット38のインタフェース・コネクタ(カードバス)に直結させるための専用コントローラである。カードバス・スロット38には、例えばPC12本体の壁面に配設され、PCMCIA(Personal Computer Memory Association)／JEIDA(Japan Electronic Industry Development Association)が策定した仕様(例えば“PC Card Standard 95”)に準拠したPCカード40が装填される。

【0032】

Dock I/F34は、PC12とドッキング・ステーション(図示省略)を接続するためのハードウェアであり、PC12がドッキング・ステーションにセットされると、ドッキング・ステーションの内部バスがDock I/F34に接続され、ドッキング・ステーションの内部バスに接続された各種のハードウェア構成要素がDock I/F34を介してPCIバス20に接続される。また、ミニPCIスロット36には、例えばコンピュータ・システム10をネットワーク(例えばLAN)に接続するためのネットワーク・アダプタ42が接続される。

【0033】

PCIバス20とISAバス22はI/Oブリッジ44によって相互に接続されている。I/Oブリッジ44は、PCIバス20とISAバス22とのブリッジ機能、DMAコントローラ機能、プログラマブル割り込みコントローラ(PIC)機能、及びプログラマブル・インターバル・タイマ(PIT)機能、IDE(Integrated Drive Electronics)インタフェース機能、USB(Universal Se

rial Bus) 機能、SMB (System Management Bus) インタフェース機能を備えていると共に、リアルタイム・クロック (RTC) を内蔵しており、例えばインテル社製の P I I X 4 というデバイス (コアチップ) を用いることができる。

【0034】

なお、DMAコントローラ機能は、周辺機器 (たとえばFDD) とメイン・メモリ16との間のデータ転送をCPU14の介在なしに実行するための機能である。またPIC機能は、周辺機器からの割り込み要求 (IRQ) に応答して所定のプログラム (割り込みハンドラ) を実行させる機能である。また、PIT機能はタイマ信号を所定周期で発生させる機能であり、その発生周期はプログラマブルである。

【0035】

また、IDEインタフェース機能によって実現されるIDEインタフェースには、IDEハードディスク・ドライブ (HDD) 46が接続される他、IDE CD-ROMドライブ48がATAPI (AT Attachment Packet Interface) 接続される。また、IDE CD-ROMドライブ48の代わりに、DVD (Digital Video Disc又はDigital Versatile Disc) ドライブのような他のタイプのIDE装置が接続されていても良い。HDD46やCD-ROMドライブ48等の外部記憶装置は、例えばPC12本体内の「メディアベイ」又は「デバイスベイ」と呼ばれる収納場所に格納される。これら標準装備された外部記憶装置は、FDDやバッテリー・パックのような他の機器類と交換可能かつ排他的に取り付けられる場合もある。

【0036】

また、I/Oブリッジ44にはUSBポートが設けられており、このUSBポートは、例えばPC12本体の壁面等に設けられたUSBコネクタ50と接続されている。USBは、電源投入のまま新しい周辺機器 (USBデバイス) を抜き差しする機能 (ホット・プラグング機能) や、新たに接続された周辺機器を自動認識しシステム・コンフィギュレーションを再設定する機能 (プラグ・アンド・プレイ機能) をサポートしている。1つのUSBポートに対して、最大63個のUSBデバイスをディジー・チェーン接続することができる。USBデバイスの

例は、キーボード、マウス、ジョイスティック、スキャナ、プリンタ、モデム、ディスプレイ・モニタ、タブレットなど様々である。

【0037】

更に、I/Oブリッジ44にはSMバスを介してEEPROM94が接続されている。EEPROM94はユーザによって登録されたパスワードやスーパーバイザー・パスワード、製品シリアル番号等の情報を保持するためのメモリであり、不揮発性で記憶内容を電氣的に書き替え可能とされている。

【0038】

また、I/Oブリッジ44は電源部54に接続されている。電源部54には、ACアダプタ62、バッテリー64を充電するための充電器等を含んで構成されると共に、コンピュータ・システム10で使用される5V、3.3V、12V等の直流定電圧を生成し、かつコンピュータ・システム10の各部への直流電圧の供給／供給停止の切り換えを行う電源回路66が備えられている。

【0039】

一方、I/Oブリッジ44を構成するコアチップの内部には、コンピュータ・システム10の電源状態を管理するための内部レジスタと、該内部レジスタの操作を含むコンピュータ・システム10の電源状態の管理を行うロジック（ステート・マシーン）が設けられている。

【0040】

上記ロジックは電源部54との間で各種の信号を送受し、この信号の送受により、電源部54からコンピュータ・システム10への実際の給電状態を認識し、電源部54は上記ロジックからの指示に応じてコンピュータ・システム10への電力供給を制御する。

【0041】

ISAバス22はPCIバス20よりもデータ転送速度が低いバスであり（例えばバス幅16ビット、最大データ転送速度4Mbps）、Super I/Oコントローラ70、EEPROM等から成るフラッシュROM72、CMOS74、ゲートアレイ・ロジック76に接続されると共にCPU14の温度の上昇を抑制するために設けられたファン82に接続されたエンベデッド・コントローラ

8・0に加え、キーボード／マウスコントローラのような比較的低速で動作する周辺機器類（何れも図示省略）を接続するのに用いられる。

【0042】

Super I/Oコントローラ70にはI/Oポート78が接続されている。Super I/Oコントローラ70は、フロッピーディスク・ドライブ（FDD）の駆動、パラレル・ポートを介したパラレル・データの入出力（PIO）、シリアル・ポートを介したシリアル・データの入出力（SIO）を制御する。

【0043】

フラッシュROM72は、BIOS等のプログラムを保持するためのメモリであり、不揮発性で記憶内容を電氣的に書き替え可能とされている。また、CMOS74は揮発性の半導体メモリがバックアップ電源に接続されて構成されており、不揮発性でかつ高速の記憶手段として機能する。

【0044】

このCMOS74の記憶領域のうちの一部は、コンピュータ・システム10の電源投入時に検出されたICの初期化に関するエラーの情報が記憶される領域（以下、「エラー履歴領域」という）として使用される。

【0045】

図3には、CMOS74のエラー履歴領域EAの構成が示されている。本実施形態におけるエラー履歴領域EAは、ICの初期化に関するエラーとして予め定められた複数のエラー（例えば、ビデオ・コントローラに含まれるレジスタのリード／ライトエラー、ゲート・アレイ・ロジック76に含まれるレジスタのリード／ライトエラー等）の各々毎に「識別情報」、「状態情報」、「頻度情報」の3つの情報が1つのブロックとして記憶されるように構成されている。「識別情報」は上記複数のエラーの各々に対して予め割り振られた数値情報であり、エラー履歴領域EAの各ブロックの先頭に予め記憶されている。「状態情報」は検出されたエラーの状態を示す情報であり、「頻度情報」は検出されたエラーの連続発生頻度を示す情報であって、「状態情報」、「頻度情報」とも検出されたエラーに対応する識別情報のブロックに記憶される。

【0046】

エンベデッド・コントローラ 80 は、図示しないキーボードのコントロールを行うと共に、ゲートアレイ・ロジック 76 と協働してパワー・マネージメント及びサーマル・マネージメントを行うものである。ファン 82 は、エンベデッド・コントローラ 80 のサーマル・マネージメント機能により、CPU 14 の近傍に設けられた図示しないサーミスタによって検知された CPU 14 近傍の温度が所定値以上となったときに回転駆動されて CPU 14 を冷却する役割を有している。また、ファン 82 は、エンベデット・コントローラ 80 を介した CPU 14 の制御によって回転駆動／駆動停止を行うことができるように構成されている。

【0047】

図 4 には、本実施形態に係るコンピュータ・システム 10 の電源回路 66 における電源制御に関わる部分の機能ブロック図が示されている。同図に示すように、本実施形態に係る電源回路 66 の電源制御に関わる部分には、電源投入時において IC の初期化に関するエラーが検出された際に該エラーの状態を保持するエラー状態保持回路 116 が設けられていると共に、エラー状態保持回路 116 に基づいてエラー状態が通知される電源投入回路 118 が設けられている。

【0048】

この電源制御に関わる部分では電源スイッチ SW1 が押下されると、電源投入回路 118 が作動して、DC-DC コンバータ DC2 を始動する。ここで、DC-DC コンバータ DC2 は、AC アダプタ 62 又はバッテリー 64 から供給される直流電圧からコンピュータ・システム 10 の内部回路用の +5V、+3.3V、+1.2V 等の直流電圧を生成する。

【0049】

DC-DC コンバータ DC2 が始動して内部回路に電源電力が供給されると、POST が実行され、コンピュータ・システム 10 内部の初期化や各種設定を行った後にハードウェアの自己診断を行う。この診断の結果、問題がなければ OS をロードするが、問題を検知した場合はエラー状態保持回路 116 をエラーがあった旨を示す状態が保持されるようにする。なお、本実施の形態に係るエラー状態保持回路 116 は D 型フリップフロップを含んで構成されており、該 D 型フリップフロップの Q 出力端子をロー・レベルに維持することによって、エラーがあ

った旨を示す状態を保持している。

【0050】

エラー状態保持回路116がエラーがあった旨を示す状態になると、電源投入回路118は一旦DC-DCコンバータDC2の出力をオフし（電源スイッチSW1を押下して電源をオフする場合と同等）、所定時間（本実施形態では数秒）の後にDC-DCコンバータDC2の出力をオンする（電源スイッチSW1を押下して電源をオンする場合と同等）。また、このとき、電源投入回路118はエラー状態保持回路116の保持状態をクリアする。以上の動作によって、ハードウェアに問題があったときに自動的にコンピュータ・システム10を再起動することができる。電源投入回路118が本発明の制御手段に、DC-DCコンバータDC2が本発明の電源装置に、各々相当する。

【0051】

次に、図5を参照して、本実施形態に係る電源回路66の具体的な構成を説明する。同図に示すように、電源回路66は、サブ・レギュレータ100、パワー・オン・スイッチ回路102、パワー・オン回路104、パワー・オフ回路106、オート・パワー・オフ回路108、オート・パワー・オン回路110、メイン・レギュレータ112、レベル・シフト回路114及びエラー状態保持回路116を含んで構成されている。

【0052】

サブ・レギュレータ100には、ダイオードD1及びダイオードD2を各々介してACアダプタ62及びバッテリー64が接続されるDC-DCコンバータDC1が備えられている。DC-DCコンバータDC1はACアダプタ62又はバッテリー64から供給された電力を+5Vの直流電圧に変換して出力するものである。DC-DCコンバータDC1は常時作動状態とされており、サブ・レギュレータ100からは+5Vの直流電圧が電源回路66の各部やその他の必要箇所に常時供給されている。なお、ダイオードD1及びD2は、ACアダプタ62とバッテリー64との短絡を防止するためのものである。

【0053】

一方、パワー・オン・スイッチ回路102には電源スイッチSW1が備えられ

ており、電源スイッチ SW 1 の一方の端子は抵抗を介して DC-DC コンバータ DC 1 の出力端子に、他方の端子はグランドに、各々接続されている。電源スイッチ SW 1 はユーザに押下されている間だけメイク（オン状態）し、ユーザが手を離すとブレイク（オフ状態）する、所謂モーメンタリー・タイプのスイッチである。

【 0 0 5 4 】

また、パワー・オン回路 1 0 4 には、パワー・オン・スイッチ回路 1 0 2 に備えられた抵抗の DC-DC コンバータ DC 1 の出力端子に接続された側の端子にエミッタが接続され、かつ電源スイッチ SW 1 の一方の端子にダイオード、コンデンサ C 1 及び抵抗 R 2 を介してベースが接続されたトランジスタ TR 1 が備えられている。また、トランジスタ TR 1 のエミッタ・ベース間は抵抗 R 1 を介して接続されており、トランジスタ TR 1 のコレクタはダイオードを介して 3 入力 AND ゲート AND の 1 番ピンに接続されている。

【 0 0 5 5 】

また、パワー・オフ回路 1 0 6 には、入力端子 IN がダイオードを介して電源スイッチ SW 1 の一方の端子に接続され、かつ出力端子 OUT が AND ゲート AND の 2 番ピンに接続されたコントローラ CTL が備えられている。ここで、コントローラ CTL の出力端子 OUT は抵抗を介して DC-DC コンバータ DC 1 の出力端子に接続されており、常時ハイ・レベルとされている。なお、コントローラ CTL には、自身の駆動用の電源として + 5 V の直流電圧が印加されているが、これはコンピュータ・システム 1 0 が駆動しているときにだけ印加されるものであり、コントローラ CTL がコンピュータ・システム 1 0 の駆動中にのみ作動するように構成されている。コントローラ CTL はコンピュータ・システム 1 0 が駆動している際に、出力端子 OUT をハイ・レベルにすると共に電源スイッチ SW 1 の押下状態を常時検知しており、電源スイッチ SW 1 が押下された際にはコンピュータ・システム 1 0 をシャット・ダウンしてもよいか否かを判断し、シャット・ダウンしてもよい状態である場合に出力端子 OUT をロー・レベルとする。

【 0 0 5 6 】

また、オート・パワー・オフ回路108は2つのトランジスタTR2、TR3を含んで構成されている。トランジスタTR2のベースは抵抗R4、コンデンサC2及びダイオードを介して後述するD型フリップフロップFFのQ出力端子に接続されており、エミッタはDC-DCコンバータDC1の出力端子に接続されて常時+5Vの直流電圧が印加されると共に抵抗R3を介して自身のベースに接続されており、更にコレクタは抵抗を介してトランジスタTR3のベースに接続されている。また、トランジスタTR3のエミッタは接地されると共に抵抗を介して自身のベースに接続されており、コレクタは抵抗を介してDC-DCコンバータDC1の出力端子に接続されて常時+5Vの直流電圧が印加されると共にANDゲートANDの3番ピンに接続されている。

【0057】

一方、オート・パワー・オン回路110はインバータINVと、抵抗R5及び電解コンデンサC6により構成された積分回路と、を含んで構成されている。インバータINVの入力端子はD型フリップフロップFFのQ出力端子に接続されており、インバータINVの出力端子は抵抗R5の一方の端子に接続されている。また、抵抗R5の他方の端子は他方の端子が接地された電解コンデンサC6の一方の端子に接続されると共に、ダイオードを介してANDゲートANDの1番ピンに接続されている。

【0058】

また、メイン・レギュレータ112はDC-DCコンバータDC2を含んで構成されている。DC-DCコンバータDC2はACアダプタ62又はバッテリー64から直流電圧が供給されるように構成されており（該供給のための配線は図示を省略）、入力端子INがハイ・レベルである場合に+5V、+3.3V、+1.2V等のコンピュータ・システム10の各部において必要とされる直流電圧を出力端子OUTから出力するように構成されている。

【0059】

また、レベル・シフト回路114は2つのトランジスタを含んで構成されたものであり、所定レベル範囲の電圧が印加された際に、+5Vの直流電圧を出力するものである。ここで、上記2つのトランジスタのうちの一方のトランジスタの

ベースが抵抗を介してDC-DCコンバータDC2の出力端子OUTに接続されており、エミッタは接地されると共に抵抗を介して自身のベースに接続されており、コレクタは抵抗を介して他方のトランジスタのベースに接続されている。また、他方のトランジスタのエミッタはDC-DCコンバータDC1の出力端子に接続されて常時+5Vの直流電圧が印加されると共に抵抗を介して自身のベースに接続されており、コレクタはダイオードを介してANDゲートANDの1番ピンに接続されている。

【0060】

更に、エラー状態保持回路116は、D型フリップフロップFFを含んで構成されている。D型フリップフロップFFのD入力端子はI/Oポート78のbit0に接続されており、クロック（CK）入力端子は抵抗を介して接地されると共にI/Oポート78のbit1に接続されている。また、D型フリップフロップFFのプリセット（PR）入力端子及びクリア（CLR）入力端子は抵抗を介して、電源供給端子VCCは直接にDC-DCコンバータDC1の出力端子に各々接続されて常時+5Vの直流電圧が印加される。更に、D型フリップフロップFFのQ出力端子はI/Oポート78のbit2に接続されている。なお、I/Oポート78のbit0及びbit1は共に出力ポートとして機能し、bit2は入力ポートとして機能する。

【0061】

D型フリップフロップFFでは、I/Oポート78のbit1を介してCK入力端子がロー・レベルからハイ・レベルに変化されることによって、I/Oポート78のbit0を介してD入力端子に入力されている信号がQ出力端子から出力される。また、D型フリップフロップFFのQ出力端子からの出力信号は、I/Oポート78のbit2を介して読み出すことができる。

【0062】

ここで、電源がオフされた場合には、I/Oポート78のbit1はロー・レベルとなるが、ロー・レベルからハイ・レベルには変化しないので、D型フリップフロップFFのQ出力端子の状態は変化しない。従って、電源オフ時においてもD型フリップフロップFFの内容は保持される。

【0063】

本実施形態に係る電源回路66のDC-DCコンバータDC1及びDC-DCコンバータDC2は、スイッチング型電源回路（所謂、チョッパ型レギュレータ）を適用しており、該スイッチング型電源回路に含まれるスイッチング素子のオン／オフを制御するために、負荷電流の大きさに応じて周波数を変化させるスイッチング信号（パルス信号）を用いるPWM方式と、負荷電流の大きさとは無関係に固定周波数のもとでパルス幅（デューティ）を変化させるスイッチング信号を用いるPWM方式と、の2つの方式の一方を選択的に適用することができるように構成されている。上記周波数を変化させるスイッチング信号を用いる方式は、上記固定周波数のスイッチング信号を用いる方式に比較して変換効率は高いものの、動作の安定性の面では劣るという特性を有しており、本実施形態では、通常の動作時には上記周波数を変化させるスイッチング信号を用いる方式を適用し、必要に応じて上記固定周波数のスイッチング信号を用いる方式に切り換えることができるように構成されている。

【0064】

パワー・オン・スイッチ回路102、パワー・オン回路104、オート・パワー・オフ回路108及びオート・パワー・オン回路110が図4の電源投入回路118に相当する。

【0065】

なお、コンピュータ・システム10を構成するためには、図1に示した以外にも多くの電気回路が必要である。但し、これらは当業者には周知であり、また、本発明の要旨を構成するものではないので、本明細書中では説明を省略する。また、図面の錯綜を回避するため、図中の各ハードウェアブロック間の接続も一部しか図示していないことを付記しておく。

【0066】

次に、本実施の形態の作用として、コンピュータ・システム10の電源スイッチSW1がオンされた際に実行される動作について図6のフローチャートを参照しつつ説明する。

【0067】

電源スイッチSW1がオンされると、フラッシュROM72の記録領域のうち、BIOSの一部であるPOSTのプログラムが記憶されている領域がアクセスされ、POSTのプログラムが実行される（ステップ200）。これによって、メイン・メモリ16の初期化（記憶内容のクリア）が行なわれ、続いてコンピュータ・システム10のハードウェア環境の初期化（具体的には外部ハードウェア割り込みベクタの初期化、外部ハードウェアの初期化、ソフトウェア割り込みベクタの初期化等）が行なわれた後にコンピュータ・システム10の各ハードウェアがテストされる。ここで、上記ハードウェアのテストの結果はCMOS74の所定領域に記憶される。

【0068】

次のステップ202ではCMOS74の上記所定領域からPOSTによるハードウェアのテストの結果が読み出され、次のステップ204では読み出されたテスト結果にICの初期化に関するエラーの発生を示すものがあるか否かが判定され、ない場合（否定判定の場合）はステップ206へ移行して、POSTのプログラムが終了したか否かが判定され、終了していない場合（否定判定の場合）は上記ステップ202へ戻り、終了した時点（肯定判定となった時点）でステップ208へ移行する。

【0069】

ステップ208ではOSがメイン・メモリ16にロードされて実行される。これによってコンピュータ・システム10上でOSが稼動している状態となる。なお、本実施形態ではOSがHDD46に予め記憶されており、ステップ208ではHDD46からOSがロードされる。

【0070】

一方、上記ステップ204の判定において、ICの初期化に関するエラーの発生を示すものがあったと判定された場合（肯定判定の場合）にはステップ210へ移行して、CMOS74のエラー履歴領域EAの記憶内容を読み出すことによってICの初期化に関するエラーの履歴が参照され、次のステップ212では上記ステップ204で検出されたエラーの連続発生頻度が予め定められた所定回数（本実施形態では1回）以上であるか否かがエラー履歴領域EAに含まれる頻度

情報に基づいて判定され、所定回数以上であると判定された場合（肯定判定の場合）はステップ214へ移行して、所定回数以上のエラーが発生した旨を示すエラー・メッセージがLCD28に表示された後に本動作を終了する。なお、本実施形態における上記所定回数は予め定められたものとしているが、外部からキーボード等を介して設定する形態とすることもできる。

【0071】

一方、上記ステップ212において、上記ステップ204で検出されたエラーの連続発生頻度が上記所定回数以上ではないと判定された場合（否定判定の場合）にはステップ216へ移行して、上記ステップ204で検出されたエラーに対応する識別情報のブロックの状態情報としてエラーの状態が記憶されると共に、頻度情報として発生頻度（本実施形態では‘1’）が記憶される。

【0072】

次のステップ218ではハードウェアの動作を安定化させるための設定が行われる。ここでは、電源回路66におけるDC-DCコンバータDC1及びDC-DCコンバータDC2の動作を安定させるための設定として、DC-DCコンバータDC1及びDC-DCコンバータDC2のスイッチング信号として固定周波数のスイッチング信号を用いるPWM方式が適用されるように設定される。また、これと共に、ファン82が回転駆動され、かつパワー・マネジメント機能が非実行とされるようにエンベデッド・コントローラ80が設定される。

【0073】

次のステップ220では電源回路66による電源供給が一旦停止され、所定時間の後に再度電源投入が行われてコンピュータ・システム10を再起動させるための信号（以下、「リスタート信号」という）RSがD型フリップフロップFFのQ出力端子から出力されるように制御され、その後に本動作を終了する。なお、本実施形態では、通常動作時にはリスタート信号RSをハイ・レベルとしておき、ステップ220によってコンピュータ・システム10を再起動させる際にはリスタート信号RSがロー・レベルとされるように制御される。この、コンピュータ・システム10を再起動させる際の制御は、I/Oポート78のbit0をロー・レベルとした後に、bit1をロー・レベルからハイ・レベルに変化させ

ることにより行うことができる。上記ステップ 2 0 2 の処理が本発明の読取手段に相当する。

【 0 0 7 4 】

次に、電源回路 6 6 の動作について、図 5 を参照しつつ説明する。まず、電源スイッチ S W 1 の押下による通常の起動時の動作、すなわち図 6 を参照して説明した動作において I C の初期化に関するエラーが発生しない場合の動作について説明する。

【 0 0 7 5 】

ユーザによって電源スイッチ S W 1 が押下されると（電源スイッチ S W 1 がメイクされると）、パワー・オン・スイッチ回路 1 0 2 の + 5 V の直流電圧が常時印加されている信号線がグランドに接続されて、パワー・オン回路 1 0 4 のトランジスタ T R 1 のベースがグランド・レベルとなるので、トランジスタ T R 1 がオンされる。すると、AND ゲート A N D の 1 番ピンにはトランジスタ T R 1 を介して + 5 V の直流電圧が印加されるため、AND ゲート A N D の 1 番ピンはハイ・レベルとされる。

【 0 0 7 6 】

一方、この時点でコントローラ C T L の出力端子 O U T はハイ・レベルとなっており、従って AND ゲート A N D の 2 番ピンはハイ・レベルとされている。また、この時点ではリスタート信号 R S はハイ・レベルとなっており、オート・パワー・オフ回路 1 0 8 のトランジスタ T R 2 及びトランジスタ T R 3 は共にオフされているので、AND ゲート A N D の 3 番ピンもハイ・レベルとされている。従って、AND ゲート A N D の 3 つの入力ピンは全てハイ・レベルとされているので、AND ゲート A N D の出力端子はハイ・レベルとなり、DC - DC コンバータ D C 2 の入力端子 I N はハイ・レベルとされて、DC - DC コンバータ D C 2 からは所定電圧（+ 5 V、+ 3. 3 V、+ 1 2 V 等）の直流電圧が出力される。

【 0 0 7 7 】

ここで、電源スイッチ S W 1 はモーメンタリー・タイプのスイッチであるので、パワー・オン・スイッチ回路 1 0 2 及びパワー・オン回路 1 0 4 の作用による

ANDゲートANDの1番ピンのハイ・レベルである期間は一瞬（パワー・オン回路104のコンデンサC1の容量値及び抵抗R2の抵抗値によって決定される時定数による期間）であるが、この期間の間にDC-DCコンバータDC2から直流電圧が出力されるように構成されており、これによってレベル・シフト回路114の2つのトランジスタが双方ともオンされ、レベル・シフト回路114からANDゲートANDの1番ピンに対して+5Vの直流電圧が印加されてANDゲートANDの1番ピンはハイ・レベルが維持される。従って、ANDゲートANDの3つの入力ピンはハイ・レベルのまま維持されるので、DC-DCコンバータDC2は駆動し続ける。

【0078】

次に、電源スイッチSW1の押下による通常の電源オフ時の動作について説明する。この時点では、パワー・オフ回路106のコントローラCTLの電源供給端子には+5Vの電源電圧が印加されており、コントローラCTLは駆動状態とされている。従って、ユーザによって電源スイッチSW1が押下されると、コントローラCTLは電源スイッチSW1の押下を検知して、コンピュータ・システム10をシャット・ダウンしてもよいか否かを判断し、シャット・ダウンしてもよい状態である場合に出力端子OUTをロー・レベルとする。このときの、シャット・ダウンしてもよいか否かの判断は、例えばHDD46にデータを書き込んでいる最中に、いきなり電源をオフしてしまうと、書き込み中のデータが失われてしまう、HDD46の記録媒体を破壊してしまう場合がある、といった不具合を回避するために行うものである。

【0079】

コントローラCTLの出力端子OUTがロー・レベルになると、ANDゲートANDの2番ピンがロー・レベルとされるので、ANDゲートANDの出力端子はロー・レベルとなってDC-DCコンバータDC2の入力端子INがロー・レベルとなり、DC-DCコンバータDC2からの電力供給が停止される。

【0080】

次に、図6を参照して説明した動作においてICの初期化に関するエラーが発生した場合の動作について説明する。この場合は、上述したように、D型フリッ

プフロップ F F の Q 出力端子から出力されているリスタート信号 R S がロー・レベルとされる。なお、D 型フリップフロップ F F は、電源がオフとなっても出力を保持できるように、電源として常時 + 5 V の直流電圧が印加されるように構成されている。

【 0 0 8 1 】

リスタート信号 R S がロー・レベルになると、オート・パワー・オフ回路 1 0 8 のトランジスタ T R 2 及びトランジスタ T R 3 が共にオンとなり、トランジスタ T R 3 のコレクタに常時印加されている + 5 V の直流電圧がグランドに落ちるので、AND ゲート AND の 3 番ピンがロー・レベルとなる。従って、AND ゲート AND の出力端子がロー・レベルとなり DC - DC コンバータ DC 2 の入力端子 I N がロー・レベルとなるので、DC - DC コンバータ DC 2 からの電力供給が停止される。

【 0 0 8 2 】

そして、オート・パワー・オフ回路 1 0 8 のコンデンサ C 2 の容量値及び抵抗 R 4 の抵抗値によって決定される時定数による期間の後にトランジスタ T R 2 がオフとなり、これによってトランジスタ T R 3 がオフとなるので、AND ゲート AND の 3 番ピンは自動的にハイ・レベルとなる。一方、D 型フリップフロップ F F からのリスタート信号 R S がロー・レベルになると該信号はオート・パワー・オン回路 1 1 0 のインバータ I N V を介することによってハイ・レベルとされ、抵抗 R 5 の抵抗値及び電解コンデンサ C 6 の容量値によって決定される時定数による期間の後に、AND ゲート AND の 1 番ピンがハイ・レベルとなる。従って、AND ゲート AND の出力端子はハイ・レベルとなり、メイン・レギュレータ 1 1 2 における DC - DC コンバータ DC 2 の入力端子 I N もハイ・レベルとなるので、DC - DC コンバータ DC 2 からは上記所定電圧の電力の出力が自動的に再開される。

【 0 0 8 3 】

このように、本実施の形態に係るコンピュータの電源制御方法、電源制御装置及びコンピュータでは、P O S T によって検出されたエラーが I C の初期化に関するエラーであった場合に、コンピュータ負荷への電源供給が停止された後に再

度電源投入されて、コンピュータが再起動されるので、該再起動によってＩＣの初期化に関するエラーが再び発生しなかった場合には、コンピュータは通常通りに起動されるため、ユーザはＰＯＳＴによって検出された問題の発生に気づくことがなく、ユーザに対して不必要な不安を与えることを防止することができる。

【００８４】

また、本実施の形態に係るコンピュータの電源制御方法、電源制御装置及びコンピュータでは、ＰＯＳＴによって検出されたエラーがＩＣの初期化に関するエラーであった場合に、コンピュータに含まれるハードウェアの動作を安定させるための設定が行われているので、再度電源投入された際のハードウェアの動作を当初の電源投入時に比較して安定なものとすることができ、電源投入時の問題の再発を抑制することができる。

【００８５】

また、本実施の形態に係るコンピュータの電源制御方法、電源制御装置及びコンピュータでは、ＩＣの初期化に関するエラーが所定回数（本実施形態では２回）以上発生した場合には、コンピュータの再起動を禁止するようにしているので、コンピュータの再起動が連続して行われて、コンピュータを立ち上げることができなくなる、という問題を回避することができる。

【００８６】

更に、本実施の形態に係るコンピュータの電源制御方法、電源制御装置及びコンピュータでは、ＬＣＤ２８に同一のエラーが連続して発生している旨の表示を行っているので、ユーザは再起動では回避できない問題が発生していることを認知することができる。

【００８７】

なお、本実施の形態では、図３に示すように、エラー履歴として識別情報、状態情報及び頻度情報を記憶する場合について説明したが、本発明はこれに限定されるものではなく、例えば、識別情報及び頻度情報のみを記憶する形態とすることもできる。この場合は、本実施形態に比較して、エラー履歴を記憶するための記憶容量を削減できるので、装置を低コスト化することができる。

【００８８】

また、本実施の形態では、本発明の電源制御装置が図 5 に示すオート・パワー・オフ回路 1 0 8 及びオート・パワー・オン回路 1 1 0 を含んで構成される場合について説明したが、本発明はこれに限定されるものではなく、例えば、D 型フリップフロップ F F からロー・レベルのリスタート信号 R S が出力された場合に、AND ゲート A N D の何れかの入力ピンをロー・レベルとし、タイマで所定時間の経過を計時した後に上記入力ピンをハイ・レベルとする回路を電源制御装置として適用することもできる。

【 0 0 8 9 】

また、本実施の形態では、エラー履歴を C M O S 7 4 に記憶する場合について説明したが、本発明はこれに限定されるものではなく、エラー履歴は電源をオフしても記憶内容を保持しておくことができる記憶手段、例えば、E E P R O M 9 4 に記憶する形態とすることもできる。

【 0 0 9 0 】

更に、本実施の形態では、電源回路 6 6 をディスクリート部品によって構成した場合について説明したが、本発明はこれに限定されるものではなく、例えば、パワー・オン回路 1 0 4 、パワー・オフ回路 1 0 6 、オート・パワー・オフ回路 1 0 8 等の回路を 1 つの I C として構成する形態とすることもできる。この場合は、電源回路 6 6 の占有面積を小さくできると共に、電源回路 6 6 の動作を安定化することができる。

【 0 0 9 1 】

【発明の効果】

以上説明したように本発明に係るコンピュータの電源制御方法及び電源制御装置によれば、自己診断テストの結果が予め定められたテスト結果であった場合に、コンピュータへの電源供給が停止された後に再度電源投入され、これによって、コンピュータが再起動されるので、該再起動によって予め定められたテスト結果が再び発生しなかった場合には、コンピュータは通常通りに起動されるため、ユーザは自己診断テストによって検出された問題の発生に気づくことがなく、ユーザに対して不必要な不安を与えることを防止することができる、という優れた効果を有する。

【0092】

また、本発明に係るコンピュータによれば、自己診断テストの結果が予め定められたテスト結果であった場合に、コンピュータへの電源供給が停止された後に再度電源投入されてコンピュータが再起動されるので、該再起動によって予め定められたテスト結果が再び発生しなかった場合には、コンピュータは通常通りに起動されるため、ユーザは自己診断テストによって検出された問題の発生に気づくことがなく、ユーザに対して不必要な不安を与えることを防止することができる、という優れた効果を有する。

【図面の簡単な説明】

【図1】 実施の形態に係るコンピュータ・システムの概略構成を示すブロック図である。

【図2】 ノートブック型PCの外観を示す斜視図である。

【図3】 実施の形態に係るCMOSのエラー履歴領域の構成を示す概略図である。

【図4】 実施の形態に係る電源回路の電源制御に関わる部分の機能ブロック図である。

【図5】 実施の形態に係る電源回路の構成を示す回路図（一部ブロック図）である。

【図6】 実施の形態に係るコンピュータ・システムの電源スイッチがオンされた際に実行される動作の流れを示すフローチャートである。

【符号の説明】

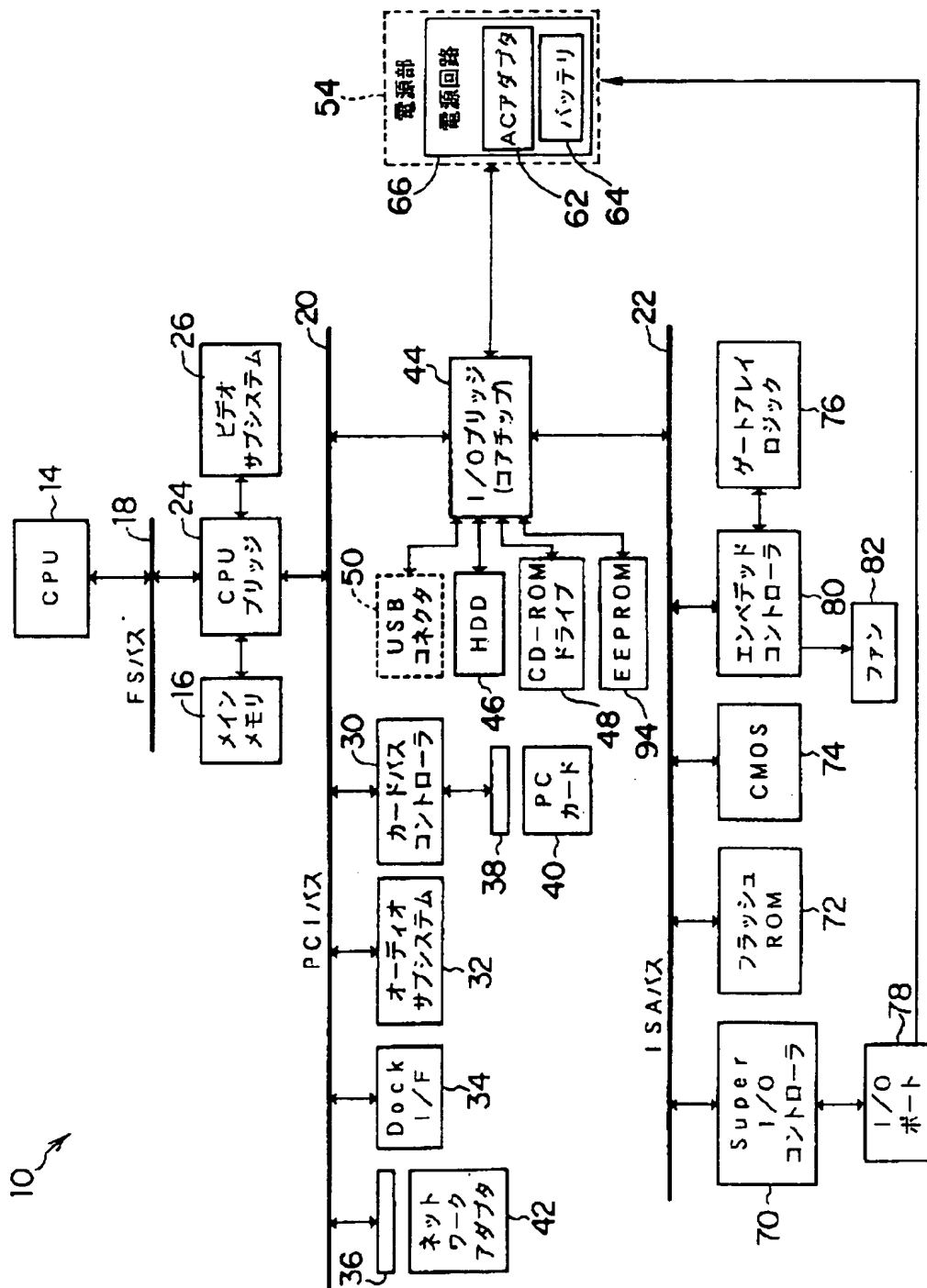
- 10 コンピュータ・システム（コンピュータ）
- 54 電源部
- 62 ACアダプタ
- 64 バッテリ
- 66 電源回路（電源制御装置）
- 76 ゲートアレイ・ロジック
- 78 I/Oポート
- 80 エンベデッド・コントローラ

82	ファン
100	サブ・レギュレータ
102	パワー・オン・スイッチ回路
104	パワー・オン回路
106	パワー・オフ回路
108	オート・パワー・オフ回路
110	オート・パワー・オン回路
112	メイン・レギュレータ
114	レベル・シフト回路
116	エラー状態保持回路
118	電源投入回路（制御手段）
DC2	DC-DCコンバータ（電源装置）

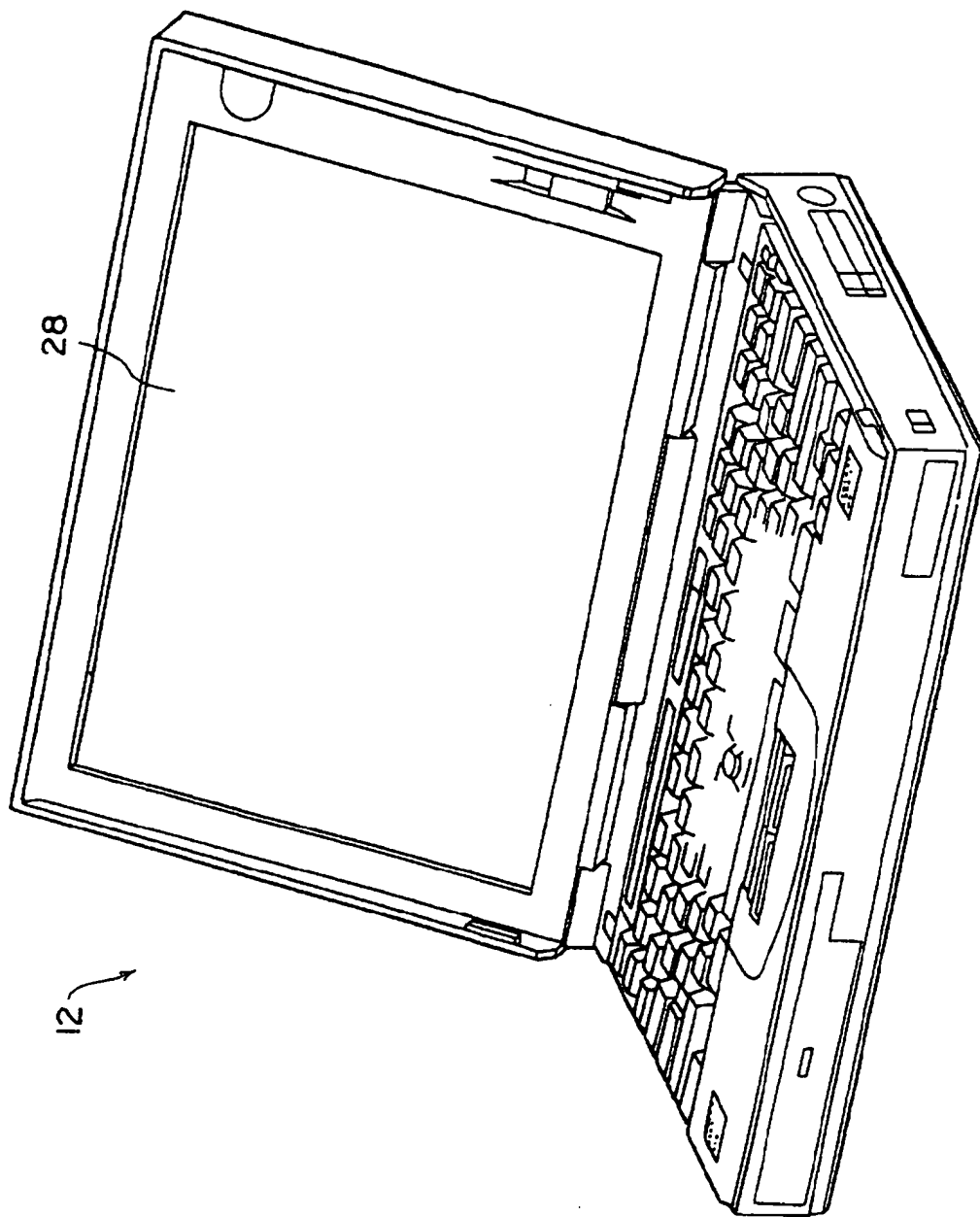
【書類名】

図面

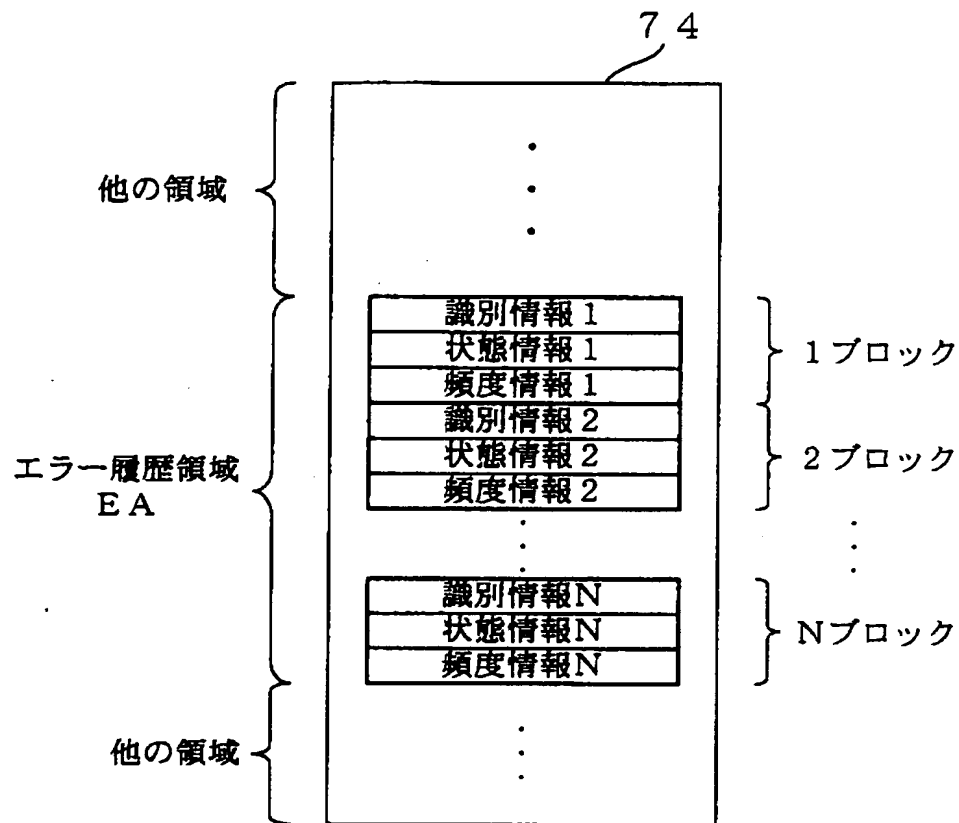
【図 1】



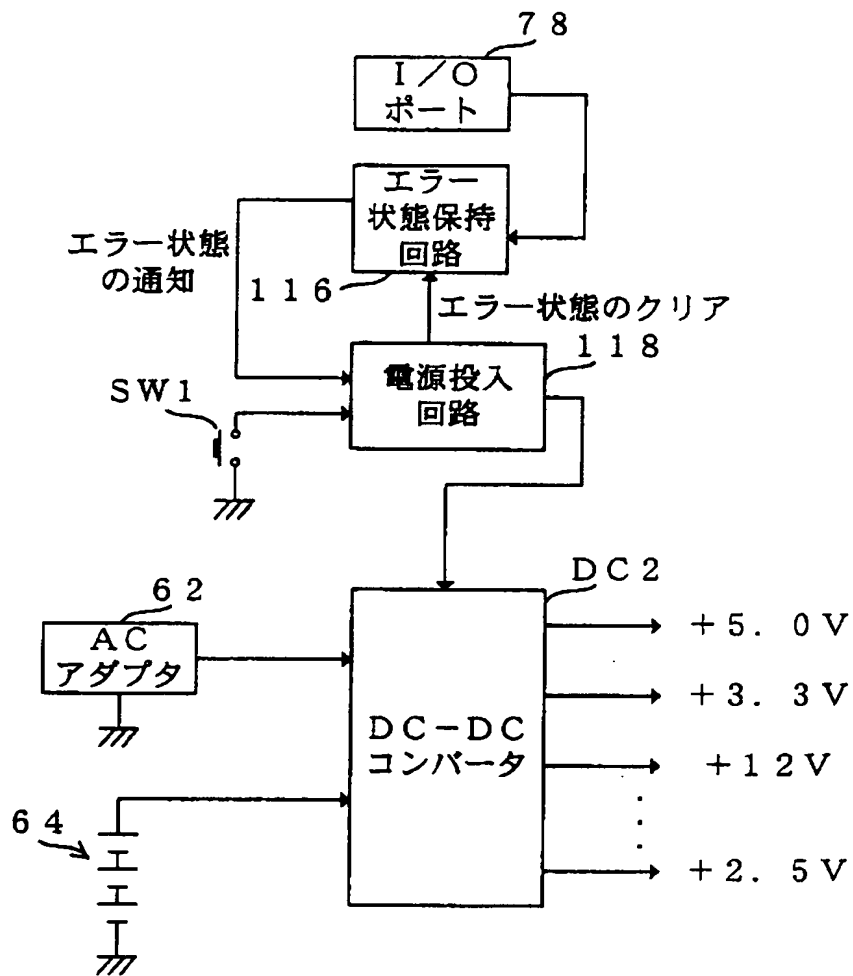
【図 2】



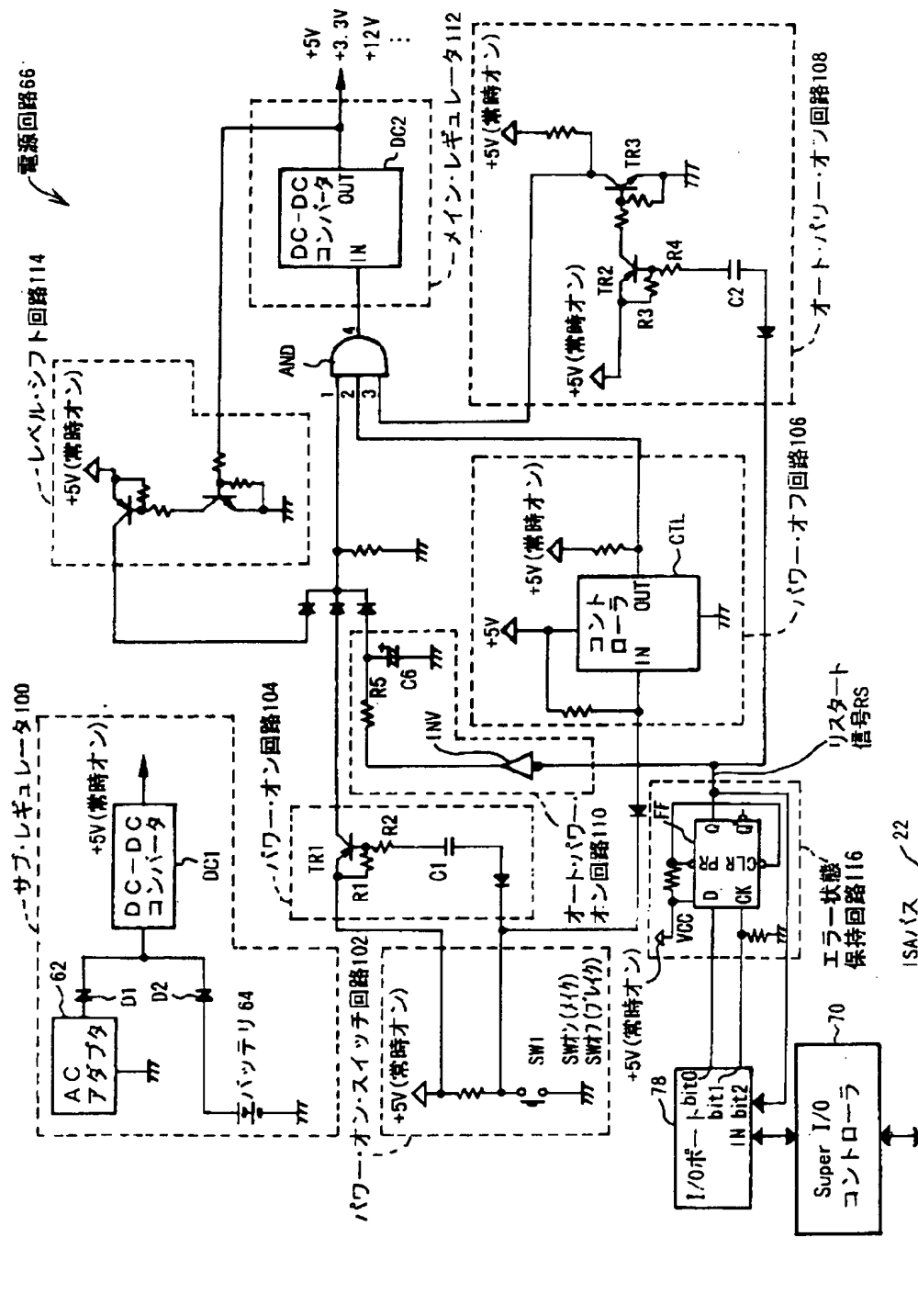
【図 3】



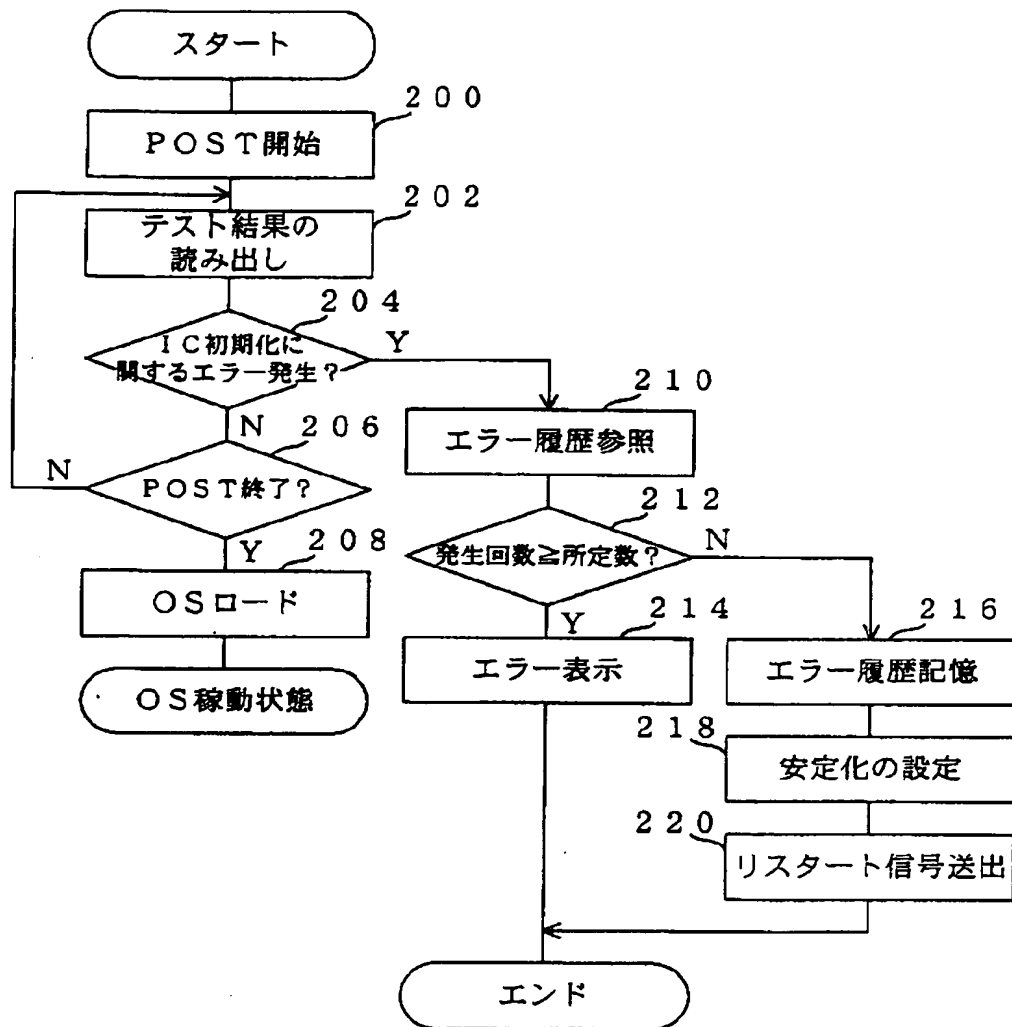
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 ユーザに不必要な不安を与えることを防止すると共に、電源投入時の問題の再発を抑制することができるコンピュータの電源制御方法、電源制御装置及びコンピュータを得る。

【解決手段】 電源スイッチが押下されると自己診断テスト（POST）が開始され、該テストにおいてICの初期化に関するエラーが発生しなかった場合はオペレーティング・システムOSがロードされて稼動状態とされる（ステップ200～208）。一方、上記エラーが発生した場合は当該エラーが所定回数以上発生したか否かが判定され、所定回数以上発生した場合はエラー表示が行われた後に本処理が終了され、所定回数以上発生していない場合にはエラー履歴が記憶された後にハードウェアを安定化させるための設定が行われ、その後コンピュータを再起動させるための信号であるリスタート信号が送出された後に本処理が終了される（ステップ210～220）。

【選択図】 図6

認定・付加情報

特許出願の番号	特願 2000-007825
受付番号	50000038058
書類名	特許願
担当官	高田 良彦 2319
作成日	平成12年 3月 8日

<認定情報・付加情報>

【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

【復代理人】

【識別番号】	100079049
【住所又は居所】	東京都新宿区新宿4丁目3番17号 HK新宿ビル7階 太陽国際特許事務所
【氏名又は名称】	中島 淳

【選任した復代理人】

【識別番号】	100084995
【住所又は居所】	東京都新宿区新宿4丁目3番17号 HK新宿ビル7階 太陽国際特許事務所
【氏名又は名称】	加藤 和詳

【選任した復代理人】

【識別番号】	100085279
--------	-----------

次頁有

認定・付加情報（続き）

【住所又は居所】	東京都新宿区新宿四丁目3番17号	HK新宿ビル7階	太陽国際特許事務所
【氏名又は名称】	西元	勝一	
【選任した復代理人】			
【識別番号】	100099025		
【住所又は居所】	東京都新宿区新宿4丁目3番17号	HK新宿ビル7階	太陽国際特許事務所
【氏名又は名称】	福田	浩志	

【書類名】 手続補正書

【提出日】 平成12年 1月20日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2000- 7825

【補正をする者】

 【識別番号】 390009531

 【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレ
イション

【復代理人】

 【識別番号】 100079049

 【弁理士】

 【氏名又は名称】 中島 淳

 【電話番号】 03-3357-5171

【手続補正 1】

 【補正対象書類名】 特許願

 【補正対象項目名】 委任状

 【補正方法】 追加

 【補正の内容】

 【提出物件の目録】

 【物件名】 委任状 1

(E)20000150078



整理番号 JA999217

委 任 状

平成11年9月22日

私儀弁理士(識別番号100086243)坂口 博 及び(識別番号100091568)市位 嘉宏は、ここに弁理士(識別番号100079049)中島 淳氏、弁理士(識別番号100084995)加藤 和洋氏、弁理士(識別番号100085279)西元 勝一氏、弁理士(識別番号100099025)福田 浩志氏を以て復代理人として下記事項を委任致します。

記

1. 本件特許出願に関する一切の件、並びに本件出願に基づく特許法第41条第1項または実用新案法第8条第1項の優先権の主張ならびにその取り下げ、出願審査の請求、出願の変更、放棄若しくは取下、請求、申請若しくは申立の取下、拒絶査定及び補正却下の決定に対する審判の請求及びその取下、提出書類及び物件の下付を受けること。

出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション

代理人 住 所 〒242-8502

神奈川県人和市下鶴間1623番地14

日本アイ・ビー・エム株式会社 大和事業所内

電話(代表) 0462-76-1111

連絡先: 0462-73-3325

氏 名 弁理士 坂 口 博

(識別番号100086243)



住 所 同 所

氏 名 弁理士 市 位 嘉 宏

(識別番号100091568)



認定・付加情報

特許出願の番号	特願 2000-007825
受付番号	20000150078
書類名	手続補正書
担当官	高田 良彦 2319
作成日	平成12年 4月19日

<認定情報・付加情報>

【補正をする者】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【復代理人】

【識別番号】	申請人
【住所又は居所】	100079049
【氏名又は名称】	東京都新宿区新宿4丁目3番17号 HK新宿ビル7階 太陽国際特許事務所
【氏名又は名称】	中島 淳

【提出された物件の記事】

【提出物件名】	委任状 (代理権を証明する書面)	1
---------	------------------	---

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日	1990年10月24日
[変更理由]	新規登録
住 所	アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
氏 名	インターナショナル・ビジネス・マシーンズ・コーポレイション